



2021年4月30日

エネルギーハーベスティング IoT 機器の普及を促進する 高効率な 1 ステージ化 RISC-V プロセッサの開発

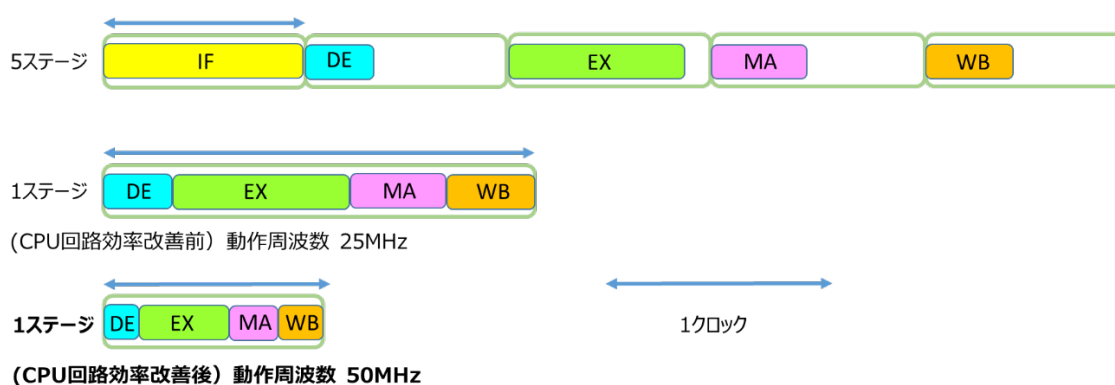
株式会社ウーラボ（東京都渋谷区 代表取締役 福島眞粧美）は、RISC-V（RV32IM）を適用した非パイプライン構造の 1 ステージ化プロセッサの開発を行なっております。

この度、1 ステージ化 FPGA の CPU 回路効率改善により、従来の検証結果の 2 倍の動作周波数を達成しました。（表 2）

さらに、フリップフロップで構成されたレジスタを BRAM に置き換えることで、ロジック・エレメントの使用率が大幅に減少しました。（*2）の課題を解決 ⇒（表 2）

当該プロセッサは、特許技術(*1)により下図のように IF ステージを削除し、1 命令サイクルを 1 ステージ化して 1 クロックで処理することを特長とするものです。

【アーキテクチャの比較イメージ図】



IF(命令の読み出し) ID(命令の解釈とレジスタの読み出し) EX(命令の実行・アドレスの計算)

MA(メモリの読み出し・書き込み) WB(レジスタへ実行結果の書き込み)

【Dhrystone テスト結果】

(表 1) CPU 回路効率改善前 <Xilinx Artix®-7 XC7A100T-1CSG324C で検証>

	1ステージ 非パイプライン PMEM 16KB DMEM 16KB	3ステージ 非パイプライン PMEM 16KB DMEM 16KB	3ステージ パイプライン PMEM 16KB DMEM 16KB
Frequency	25MHz	25MHz	25MHz
DMIPS	33.9	11.9	22.4

※Digilent®Arty A7-100T 使用 (Operating frequency: 100MHz)



(表 2) CPU 回路効率改善後 <Xilinx Artix®-7 XC7A100T-1CSG324C で検証>

	1ステージ 非パイプライン PMEM 32KB DMEM 32KB	1ステージ 非パイプライン PMEM 64KB DMEM 32KB	1ステージ 非パイプライン PMEM 128KB DMEM 32KB
Frequency	50MHz	50MHz	40MHz
DMIPS	70.43	70.43	56.34
DMIPS/MHz	1.408	1.408	1.408

※Digilent®ArtyA7-100T 使用 (Operating frequency: 100MHz)

※FF で構成されたレジスタを BRAM に置き換えた

1ステージ化アーキテクチャは、分岐や割り込み処理が完了すると次のクロックで元のプログラムに復帰するため、パイプライン・アーキテクチャのような読み込み済みのプログラムの破棄や再読み込みによる遅延は発生せず、低消費電力で高効率な動作が可能です。(*2)

さらに、回路規模が小さく並列処理にも適しており、IoT 機器への組込みのみならず、画像処理を要する自動運転車や AI のエッジコンピューティングとしても効力を発揮します。

1. 特許ライセンス提供と FPGA の IP コア販売について

当社は、保有する特許技術(*1)をもとに 1ステージ化アーキテクチャの優位性を実証しました。

この度、当該特許技術のライセンス供与および当該特許技術を適用した 1ステージ化 FPGA の IP コア販売を開始します。

2. ASIC への実装と完全非同期化

1ステージ化アーキテクチャは、既存のノイマン型コンピュータ・アーキテクチャに普遍的に応用でき、他の革新的な技術との相乗効果も望めることから、コンピューティング社会の発展に寄与するものと思われれます。

今後はさらなる性能向上を目的として、クロック同期式および非同期式 ASIC への実装を計画しておりますが、**1ステージ化アーキテクチャを適用して非同期式 ASIC を設計する大きな利点は、従来の非同期式回路設計が不要で、同期式開発ツールの使用が可能**ということです。

これらの ASIC は、LPWA を利用したセンサノードをはじめとするエネルギーハーベスティング IoT 機器への組込みに加えて、小型、軽量、低発熱、安定動作が求められる車載デバイス、航空宇宙デバイス、5G 端末、AI など幅広い分野への応用が期待できます。



また、非同期式では輻射ノイズが低減することからサイドチャネルアタックの抑制にもつながり、安心・安全な IoT 社会の実現に貢献します。

*1 特許第 4862100 号「中央演算処理装置及びマイクロコンピュータ」

USA PATENT NUMBER US 8,516,225 B2

TAIWAN PATENT NUMBER I-389027

KOREA PATENT NUMBER 10-1178293

*2 【A Single-Stage RISC-V Processor to Mitigate the Von Neumann Bottleneck】

Published in 2019 IEEE 62nd International Midwest Symposium on Circuits and Systems (MWSCAS2019)

■ 本件に関するお問い合わせ先

株式会社ウーラボ (UNO Laboratories, Ltd.)

所在地 : 東京都渋谷区千駄ヶ谷 3 丁目 3 番 23-303 号

創業 : 2017 年 5 月 29 日

資本金 : 1500 万円

代表者 : 代表取締役 福島 眞粧美

事業内容 : FPGA、同期式・非同期式プロセッサの研究開発およびライセンスング
AI 学習システムの開発およびライセンスング

URL : <https://www.unolabo.co.jp>

ホームページのメッセージ記入欄からご連絡をお願いいたします

以上